

オープンイノベーションに基づくパッケージング材料の トータルソリューションへの取り組み

Open Innovative Activity of Total Solution for Semiconductor Packaging

野中 敏央 *Toshihisa Nonaka* 宮崎 忠一 *Chuichi Miyazaki*

開発統括本部 パッケージングソリューションセンタ

21世紀に入り半導体パッケージのサプライチェーンが垂直統合型から水平分業型中心へと変化を遂げ、半世紀にわたりエレクトロニクス産業の成長を担ってきたムーアの法則の陰りが顕著となり、終焉(5 nmの壁)が数年内にやって来るとする見解が有力となった現在、今後も電子機器のシステムパフォーマンスを継続的に進化させていくためのパッケージング技術への期待は大きい。このような中、当社の実装材料事業戦略も大きく変化しようとしている。最新鋭実装機器を各種取り揃えて2014年に旧筑波総合研究所(現コア技術革新センター)建屋内に開設したオープン・ラボを核とした社外機関との協創によるオープンイノベーションの推進、新規半導体パッケージに対する材料、装置、プロセスと一体となったトータルソリューションの創出、提案活動、さらには計画中的新たな展開について紹介する。

Since the 21st century began, the mainstream of the supply chain of the semiconductor package industry has changed from vertical integration to a horizontal specialization model. The twilight of Moore's law, which has been a driver of the electronics industry for the past half century, is becoming apparent and the barrier of 5 nm coming in several years is convincing. Recently, packaging technology is strongly expected lead the continued progress of the system performance of electronic devices. In this situation, the strategy of the packaging material business of Hitachi Chemical is dynamically changing. This article describes open innovation through co-creation with other companies and organizations, based on Hitachi Chemical's open laboratory, founded with a state-of-the-art full assembly line in 2014 at the former Tsukuba Research Laboratory (currently the Core Technology Center). It also describes the creation and proposal of a total solution of a brand new semiconductor package, unifying material, equipment and process.

1 緒 言

1980～2000年の半導体のサプライチェーンの状況が図1に示されている。図の右側に示されているようにIDM(Integrated Device Manufacturer)と呼ばれる大手の半導体メーカーによる垂直統合型が典型的であった。それが、21世紀に入ると図の左側の「Branding & Marketing」から「Foundry」と示されている機能分化による水平分業化が大きく進展してきた。半導体ウェハ製造と半導体パッケージング組み立ての主たる担い手がいずれもIDMであったものが、それぞれFoundryとOSAT(Outsource Assembly and Test)と呼ばれる企業に変わった。そしてさらに直近では新しい動きとして、Foundry最大手のTSMC(Taiwan Semiconductor Manufacturing Co., Ltd.)が半導体ウェハ製造だけでなく、自社製造の半導体ウェハを用いたパッケージ組み立てをも一部手がけるようになった。パッケージング材料を製造で使う業種は主にこれらになるが、半導体パッケージを設計、委託製造の後に販売を行うデザインハウスと呼ばれる企業、さらには米Apple Inc.のように最終製品の設計、委託生産、販売を行うという業態を有する企業などが台頭し、半導体パッケージのトータルソリューション提案を実現していくためには、多種多様な顧客への多面的な対応が必要となってきた。

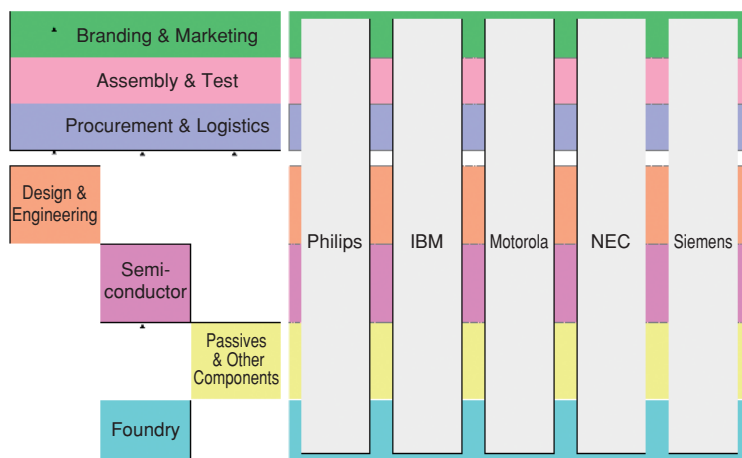


図1 1980-2000年の半導体製品のサプライチェーン
(出展：Prismark Partners LLC, ELECTRONICS SUPPLY CHAIN REPORTER Q3 2016)
Figure 1 Supply chain of semiconductor products in 1980-2000

2 半導体パッケージ技術を取り巻く環境

半導体ウェハの量産レベルでのテクノロジーノードの変遷が図2にまとめられている。2009年以降から微細化の速度が低下していることが明らかに見て取れる。さらには、2017年からの10 nmプロセスでの量産化や、7 nmでの量産計画もアナウンスされており、古くからCMOSの壁と言われてきた5 nmがいよいよ数年後に近づいて来たという状況にある。このような中、3次元化技術の開発が数年前から活発になってきており、メモリでは実用化も始まっている。NANDフラッシュでは、メモリセルの3次元化技術が実用化されたことでメモリにとって重要なビット単価低減と高集積化の両立がまだまだ進められそうな勢いである。一方、DRAMでは3次元化は少なくとも現状はSi貫通電極(TSV: Through Silicon Via)を用いたチップ・トゥ・チップやチップ・トゥ・ウェハ積層という技術(3D実装)によっているため、高集積化、高速化、低消費電力は達成されるもののビット単価の低減は当面困難な状況にある。

ロジック系半導体においては16/14 nm→10 nm→7 nmというテクノロジーノード微細化によるウェハ歩留まり低下も各所で予想されており(図3)、対策としてシリコンインターポーザーを用いた2.5D実装によるダイ分割パッケージが開発されてきている。

このように、およそ半世紀にわたり半導体製品のシステムパフォーマンスの進化を支え続けてきたテクノロジーノードの微細化速度に陰りが出てきた中、パッケージング技術がその一翼を担っていくことが期待され、TSVを用いた3D実装、2.5D実装等が開発されてきた。さらに、ここ2～3年は、TSV加工のコスト低減がなかなか進まないこと、発熱するチップからの放熱の課題を解決するため、モバイル機器等パッケージの薄型化要求、配線長が短いゆえの良好な高周波特性などから、ファン・アウト・パッケージが注目を集めている。

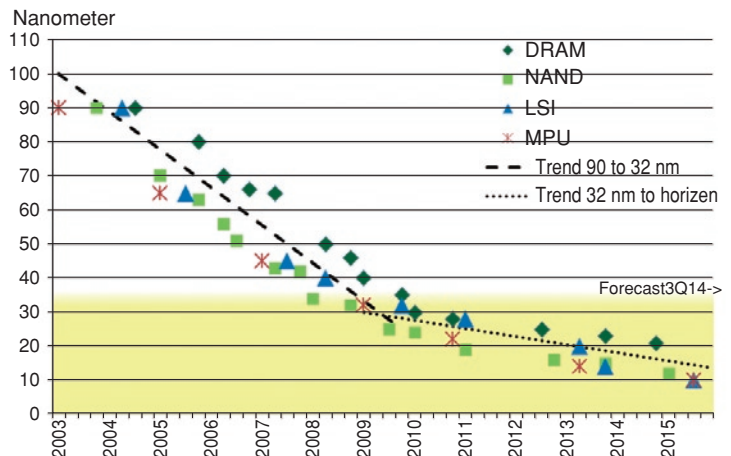
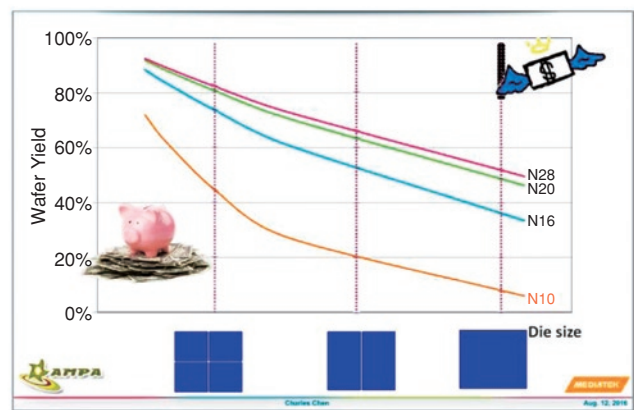


図2 量産品のテクノロジーノードの変遷

(出展: <http://www.semi.org/jp/node/18331>)

Figure 2 Volume production technology node transitions

Application: high end logic splits for wafer yield



Source: Dr. Charles Chen, MTK, cited with permission

SEMICON
TAIWAN

2.5D / 3D IC Technology Forum

APIL

semi

図3 テクノロジーノード(図中N10～N28は、10 nmから28 nmのテクノロジーノード)とウェハ収率の関係

(出展: SEMICON TAIWAN2016, SiP Global Summit 2016-2.5D/3D IC Packaging with Optical Technology ForumでのMike Ma氏の配布発表資料から)

Figure 3 Relationship between technology node and wafer yield

3 ファン・アウト・パッケージ

ファン・アウト・パッケージは文字通り、チップより大きな領域に接続端子が形成されたパッケージの総称であり、非常に多くの形態のものが存在する。PoP(Package on Package)のボトムパッケージへの適用時のトップパッケージとの接続のために複雑な構造を必要とするものもあるが、基本的にはファン・アウト用の再配線(RDL)を半導体チップ上に作り上げるか(RDLラスト)、出来た再配線の上に半導体チップを搭載するか(RDLファースト)の2種に分けられる。さらに、RDLラストの工法においては、フェイス・アップとフェイス・ダウンの2つに分けられるため、計3種となる(表1)。RDLラスト/フェイス・アップ工法は、キャリア材上に形成された接着材等でチップを裏面で固定した後にモールドを行い、モールド材の研削等でチップの端子を露出させた後に再配線層を形成するもので、RDLラスト/フェイス・ダウン工法は、キャリア材上に形成された接着材等でチップをアクティブ面で固定した後にモールドを行い、次にキャリアや接着剤等を剥がし、露出したアクティブ面

に再配線層を形成するものである。RDLファースト工法は、先に配線層を形成し(各配線層の形成エリアはチップサイズより大きい)、その上に半導体チップをフリップ・チップ搭載し、その後モールド封止するものである。これらを8インチや12インチのウェハサイズで行うものがファン・アウト・ウェハレベル・パッケージ(FO-WLP)、より大きな300~700 mm等の角型のフォーマットで作製されるものがファンアウト・パネル・レベル・パッケージ(FO-PLP)と一般に呼ばれている。これらの各工法に対し、対象パッケージの仕様、要求特性、製造者のインフラや技術に依存する事情などから、さまざまなアプローチが提案、適用されている。

表1 ファン・アウト・パッケージの工法分類

Table 1 Method classification of fan-out package

RDLファースト	フェイス・ダウン	×	ウェハレベル
RDLラスト	フェイス・アップ		パネルレベル
	フェイス・ダウン		

ファン・アウト・パッケージの工法は多様であるが、材料としてはキャリア材、仮固定材、RDL絶縁材、配線形成用フォトレジスト、封止材などが一般に用いられており、装置としては液状材料用の塗工機、フィルム材料用のラミネータ、ウェハ加工用のバックグラインダ、ダイサ、チップ搭載機、感光性材料加工用の露光・現像機、コンプレッションモールド機などが良く用いられる。当社ではこれら材料の多くを製品ラインナップしており、オープンラボ(図4)ではこれらの装置の多くを取り揃えている。パッケージングソリューションセンタではオープン・ラボ機能を活用し、各種材料関連部署の協力を得て、FO-WLPのテスト・ビークル試作を行い(図5)、顧客へのトータルソリューション提案活動や各種材料開発部門へのフィードバックを進めてきている。

Concept of “Open Laboratory”

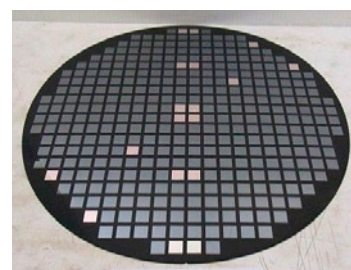
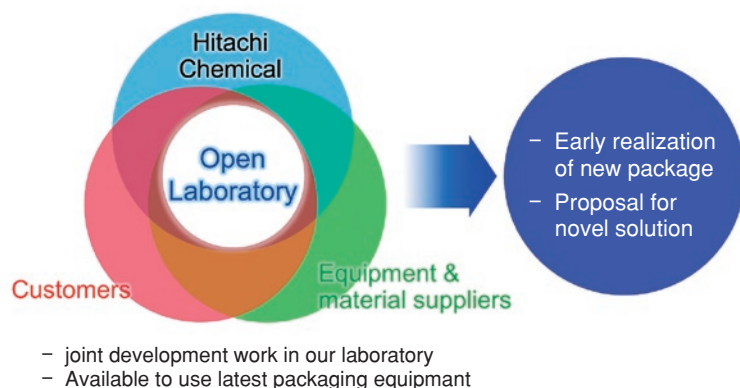


図5 オープン・ラボで作製したFO-WLPのテスト・ビークル

Figure 5 FO-WLP test vehicle made at Open Laboratory

Hitachi Chemical's “Open Laboratory”



図4 日立化成 オープン・ラボのコンセプトと内部

Figure 4 Hitachi Chemical Open Laboratory Concept and landscape photo

4 オープンイノベーションとJOINTプロジェクト

オープン・ラボは、半導体実装関連の顧客や装置・材料メーカ等との協創の場として、オープンイノベーションを推進する戦略的ツールとして設置し運営しているが、ファン・アウト・パッケージのように新規で多様かつ、スピーディーな対応が求められるものに対しては、オープン・ラボ設備や当社製品のみでは、完全に対応しきれない局面も存在する。そこで、各装置、材料メーカ様と協同で、2016年3月からJOINTプロジェクト(Jisso Open Innovation Network of Tops)をスタートさせている。

仮固定材料の提供、形成とその後の剥離の工程を東京応化工業㈱様、コンプレッションモールド工程をTOWA㈱様、モールド材の研削工程を㈱ディスク様が担当され、その他部分を当社が担当し、RDLラスト/フェースアップタイプのファン・アウト・パッケージのテスト・ビークル試作を行った。同様のFO-PLPテスト・ビークル試作では、さらにキャリアガラス提供を旭硝子㈱様、大量チップの高速搭載の工程を富士機械製造㈱様が担当された。3月からスタートしたにも関わらず、各社の迅速な対応により4月後半までに試作を終えることができ、両テスト・ビークルの実物をパッケージ関連技術の国際学会であるICEP2016(2016年4月に札幌市で開催)とECTC2016(2016年5月に米国ラスベガスで開催)それぞれの併設展示会場で紹介し、業界参加者の関心を集めた(図6)。JOINTプロジェクトでは、各社がそれぞれの専門分野を生かして各工程を担当することで、レベルの高い試作を実現している。この試作を通じての各社各工程でのノウハウ獲得に留まらず、最終的には各社連携しての顧客への材料、装置、プロセス条件が一体となったオールジャパンでのトータルソリューション提案に結び付けていくこともめざしている。また、工程別に装置、材料メーカーが専門化している傾向が強い半導体パッケージプロセスでは、各社がパッケージ試作の全プロセスを通じた全体的な情報を得ることが困難な場合があり、JOINTプロジェクトでの試作にはそのような部分を補完する効果も期待されている。前記したメーカー様以外の複数社様からも、JOINTプロジェクトへの参画意志表明をいただいております。さらに連携の輪を拡大し、タイムリーで的確な半導体パッケージのトータルソリューション提案と、産業そのものの拡大および当社事業拡大への貢献を進めていきたい。

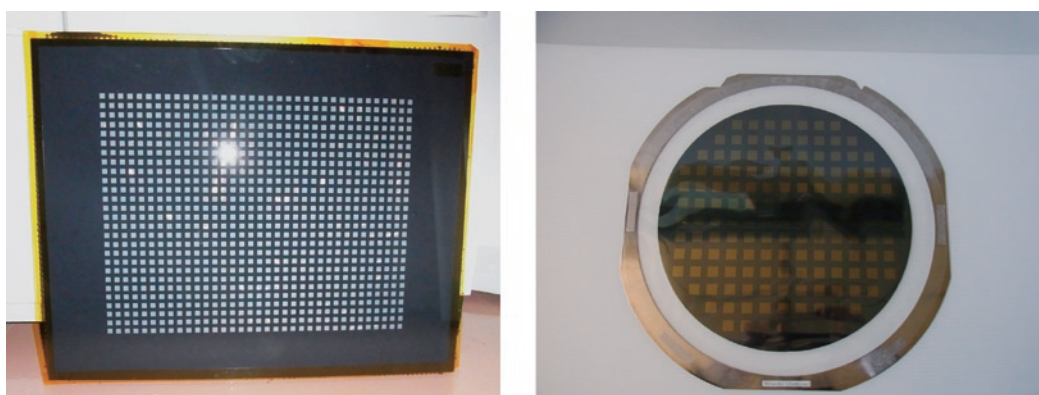


図6 JOINTプロジェクトで作製して展示したFO-PLPとFO-WLPのテスト・ビークル
Figure 6 FO-PLP and FO-WLP demonstration samples assembled by JOINT project

5 結 言

JOINTプロジェクトのスタートによりR&Dの場が当社外まで拡大してきた中で、サプライチェーンや製品の変革が続く半導体パッケージ産業へ貢献し続け、実装材料クラスタ戦略を実行して実装材料における圧倒的W/W No.1になるために、トータルソリューション提案の核となるオープン・ラボもさらなる拡充を計画している。2016年度は現在のつくばサイトの建屋内でのクリーンルーム拡大と新規プロセス装置導入を行い、2017年度には

- ・オープンイノベーションの一層の推進
- ・国内外の顧客、JOINTプロジェクトメンバー等の関係各社からのアクセス改善
- ・オープン・マインドの一層の醸成

などを目的として、より都心に近い新たな場所への拡張・移転を検討中である。その際には、JOINTプロジェクトの発展形として日立化成主導のコンソーシアム設立も視野に入れている。サプライチェーンの大半が海外となっている半導体パッケージ産業において、当社事業の海外展開は既に行っているが、パッケージングソリューションセンタでも現オープン・ラボをグローバル・マザーサイトと位置付けて上記のように機能強化するとともに、オープン・ラボの海外ブランチ展開も構想中であり、その足がかりとしてドイツのFraunhofer IZMのパネルレベル・ファン・アウトコンソーシアムへの参画を開始したところである。今後も実装材料事業への貢献を進め、当社のパッケージングソリューションセンタが半導体パッケージR&Dの世界的拠点、情報発信基地となることをめざしていきたい。