

半導体実装基板材料の歩みと今後の技術動向

Technology Trends and Future History of Semiconductor Packaging Substrate Material

中村 吉宏 *Yoshihiro Nakamura*
機能材料事業本部 配線板材料事業部

加藤木 茂樹 *Shigeki Katogi*
新事業本部 筑波総合研究所 情報通信材料開発センタ

エレクトロニクス産業のここ50年間の発展は目覚ましく、半導体産業はその中核を担ってきた。最近では、スマートフォンやタブレットPCの急速な需要拡大に伴い、LSIのさらなる大容量化、高速化、低消費電力化とともに半導体パッケージ(PKG)の小型化、薄型化の要求が強くなっている。一方で、LSIの高機能化をけん引してきた微細化技術の難易度が高まっていることから、半導体PKGの大容量化、高集積化を具現化するための基幹技術として実装技術が注目されている。近年では、メモリやロジックなどの異なる半導体PKGを積層するPackage on Package(PoP)などの3次元半導体PKGの市場が拡大している。これらの半導体PKGの発展を支えてきたのはプリント配線板材料と半導体実装材料である。本報ではプリント配線板材料の歩みと将来技術動向について紹介する。

The electronics industry has developed dramatically over the past half-century, primarily thanks to the semiconductor industry. Today, with increasing demand for smartphones and tablet computers, further high-volume, high speed, low power consumption LSIs and smaller/thinner semiconductor packages are strongly required. Meanwhile, the technical challenges involved in further fine pitch design shift the focus to assembly technology, which is considered the core technology required to achieve high-volume, high-integration semiconductor packages. Recently, the market for 3D semiconductor packages such as Package on Package (PoP), capable of stacking different IC packages such as memory and logic, is growing. Materials which have supported the development of such semiconductor packages include printed wiring board materials and semiconductor packaging materials. This report will introduce the history of printed wiring board materials and its technical trends in future.

1 緒言

エレクトロニクス産業は1950年のトランジスタの実用化から始まり、現在の国内市場規模は、45兆円に成長している。1980年代後半のパーソナルコンピュータ(PC)の出現を皮切りに、インターネットや携帯電話が普及し、さらに最近のスマートフォンやタブレットPCの需要が急速に拡大している。このエレクトロニクス産業の発展を支えてきた技術の1つが、電子部品や電子材料であり、日本製の半導体や電子機器のシェアが20%前後に対して、電子部品と電子材料のシェアは40%以上と高く、高機能材料の優位性が世界的に認められている。電子機器に組み込まれている電子部品がプリント配線板(配線板)であり、これを構成する電子材料が配線板材料である。日立化成は50年以上の間、先端の技術を開発し、絶えず市場に貢献できる電子材料を提供してきている。本報では、この配線板材料の発展と最新の技術動向、今後の将来像を報告する。

2 プリント配線板材料とは

コンピュータなどの電子機器において、半導体シリコンチップ(チップ)などの電子部品を搭載し、それらの部品間を銅回路で接続し、電気信号を伝達するのが、配線板の機能である。図1にシリコンチップ、半導体パッケージ基板(PKG基板)および配線板の階層構造図を示す。PKG基板と配線板を構成する材料が配線板材料であり、基板のベースとなる銅張積層板(コア基材)、配線回路形成用のドライフィルムおよびソルダーレジスト(図2)などがある。

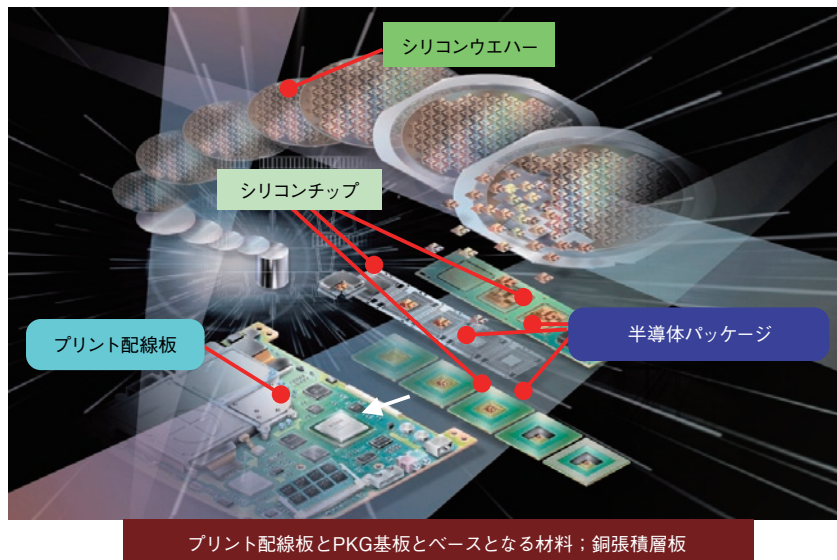


図1 シリコンチップ、半導体パッケージおよびプリント配線板の階層構造図
Figure 1 Hierarchical structure of silicon chips, semiconductor package substrates and printed wiring boards



図2 プリント配線板材料
Figure 2 Printed Wiring Board materials

3 プリント配線板の進化

配線板は、1950年代に入って、米国を中心に発展してきた。配線板の加工方法は、銅箔をケミカルエッチングして回路を形成する、Etched foil法が主流となった。日本においては、1954年に、配線板の材料となる紙フェノール銅張積層板が初めて試作されて以来、約50年以上の技術の向上を経て、最先端のPKG基板に高Tgエポキシ銅張積層板が量産されている。これらの材料の構成は、熱硬化樹脂のマトリックス層と基材との複合材料であり、その構造は原理的に同じである。

これらの銅張積層板に感光性の回路形成材料を用いて、配線加工することにより、配線板が製造される。配線板は、その材料と構造により「世代」という概念で区別されている¹⁾。表1に世代と材料の関係を示す。PKG基板では、配線板に比べ、さらに高密度化が図られており、回路形成もセミアディブ(SAP)というめっき法が主流となって進化している。

表1 プリント配線板およびPKG基板の各世代と使用材料と配線板構造
Table 1 PWB and PKG substrate generations, respective materials and substrate structures

世代	第1	第2	第3	第4		
年代	1955～	1960～	1975～	1995～	1993～	1997～
銅張積層板	FR-1	FR-4	FR-4	FR-4	FR-4, BT	高Tg FR-4
樹脂	フェノール	エポキシ			多官能エポキシ, BT	
基材	紙	ガラスクロス				
プリント配線板	片面	両面	多層	ビルドアップ	多層	ビルドアップ
配線密度(L/S)(μm)	250/250	200/200	200/200	100/100	30/30	15/15→10/10
用途	プリント配線板				PKG基板	

第5世代(2005～)；部品内蔵プリント配線板，第6世代(2010～)；電気・光融合基板

4 部品実装技術の進化

電子機器に搭載される半導体PKGについても半導体チップの高密度化に伴う多ピン化や小型化、薄型化の要求の下、実装技術の進展とともに発展してきた。図3に半導体PKGの変遷を示す。1970年代前半までは、配線板のスルーホールにリード端子を挿入してはんだ付けするピン挿入型PKGとして、DIP(Dual in-line Package)が用いられた。その後、端子の狭ピッチ化に伴って、配線板上のランドに端子を搭載後、はんだを用いたリフロー技術で実装するQFP(Quad Flat Package)などが主流を占めるようになった。一方、中央演算論理素子(MPU)などに用いられるロジック系半導体PKGでは、入出力端子やコントロール信号用端子の増加に伴って、半導体PKGの多ピン化が必要になったことから、PKG裏面全体にはんだボール端子を形成してエリアアレイ化したFC-BGA(Ball Grid Array)が提案され、半導体PKGの狭ピッチ化ならびに小型化実装のけん引役として、主要な電子機器に幅広く採用されてきた。

従来、ロジック系半導体PKGの基板としては、セラミックスPKG基板が主流であったが、高耐熱性を有する銅張積層板の開発と、ビルドアップ配線技術の開発が相まって、1993年頃から、有機PKG基板が採用されてきた。その理由は、主に3つあり、

- 1) クロック周波数の高速、高周波化対応
- 2) 微細配線形成
- 3) 低価格

である。有機材料は低誘電率なので、信号伝播の高速対応に利点がある。このため、PCに使用されるMPUは、有機FC-PKG基板に搭載されており、今後も有機PKG基板が主流として発展すると予想される。

近年では、スマートフォンに代表される携帯用電子機器の急速な普及に伴って、さらなる高速化、低消費電力化、小型・薄型化の要求が高まっており、複数の半導体素子を1つのPKGに収めるSiP(System in a Package)技術が提案されている。とりわけ、異種の半導体PKGや半導体チップを3次元で積層する3次元実装技術が著しく進展してきた。

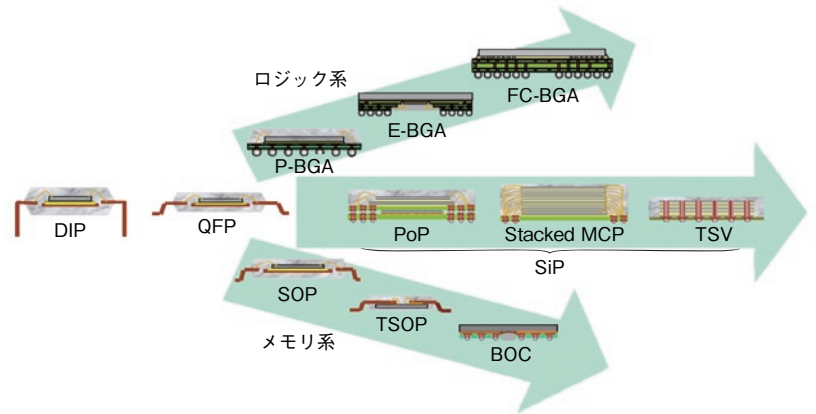


図3 半導体パッケージの変遷
Figure 3 Trends of semiconductor packages

5 FC-PKG基板の課題と開発動向

広く採用されているFC-BGAにはMPU用のFC-BGAのほかアプリケーションプロセッサ用のFC-CSP(Chip Scale Package)があり、半導体の微細化や多バンプ化に伴い、これらを搭載するFC-PKG基板には、微細配線形成や反り低減などの克服すべき課題がある。

5.1 微細配線形成の課題

半導体チップの高速処理を実現するためには、PKG基板の微細配線形成も重要な課題である。最先端のPKG基板では、そのライン/スペース(L/S)=10/10 μm が実用化されている。微細配線形成方法は、めっき工法を用いたSAP法であり、フィルム上の層間材料(ビルドアップ材料)の上に回路が形成される。材料の層間の接続は、CO₂などのレーザ加工により、80 μm 以下のマイクロビアが層間に形成され、そのビア内に銅めっきが施されて、上下の層間が接続される。今後、L/S=5/5 μm (2015年)、さらにL/S=3/3 μm (2017年)以下の要求が予想され、解像性、密着性および現像性に優れた材料が求められている。L/S=5/5 μm の開発品の現像結果を図4に示すが、確実にその製品開発を進めている。

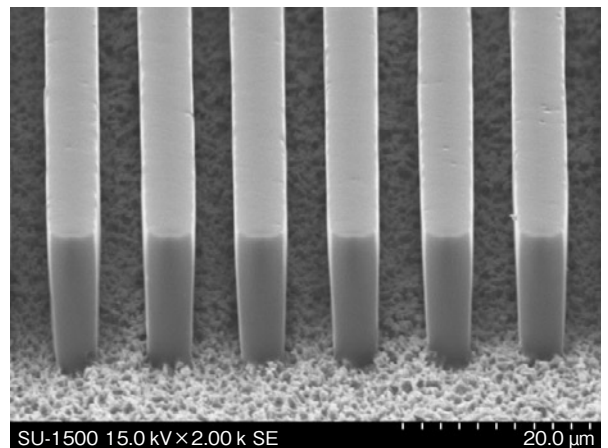


図4 L/S=5/5 μm ドライフィルム形成実例
Figure 4 L/S=5/5 μm Dry film formation

5.2 反りの課題

シリコンチップの熱膨張係数(coefficient of thermal expansion; CTE)は3~5 ppm/KとPKG基板のCTE 16~19 ppm/Kと比べて低く、これらのCTE差によって、生じる反りが大きな課題となっている²⁾。チップとPKG基板は一般に金属で接続されている。鉛フリーはんだの場合、260℃ではんだが溶融し、チップ上のバンプとPKG基板の銅バンプが接続する。その後、はんだ冷却工程にて、チップとPKG基板のCTE差から、基板がチップに対し、より収縮した形態となるために反りが発生する。PKG基板の反りが大きい場合、マザーボードとの二次接続の接続信頼が失われることになり、これは大きな問題となる。この解決には、PKG基板を低CTE化すること、すなわちシリコンチップのCTEに近づけることが必要となる。2015~17年のPoP構造のFC-CSP市場では、基材のCTEは0 ppm/Kが要求されている。

6 今後のPKG基板の動向と材料設計技術

4節で述べた通り、今後のPKGは、3次元化が進む。この3次元実装技術を用いた半導体PKGとしては、ロジック系とメモリ系の半導体PKGを積層するPoP、複数個の半導体チップを積層するスタックドMCP(stacked Multi Chip Package)、2つの半導体チップどうしを直接接続するCoC(Chip on Chip)が代表的である。

さらに、次世代高密度実装技術として、貫通ビア(TSV; Through Silicone Via)を形成した半導体チップを積層する3次元実装技術の検討が加速している。これらの1例として、PoPを対象とした材料設計技術を紹介する。

6.1 PoPの動向と技術課題³⁾

PoPは、ロジック系PKG上にメモリ系PKGを積層したものが一般的であり、スマートフォンを中心とした携帯情報端末に広く採用されている。下段のPKGにはフリップチップタイプのFBGA(Fine-Pitch Ball Grid Array)が採用されており、今後、端子のさらなる狭ピッチ化とともにPoP PKGの小型化が進展すると予測されている。

これらの要求に伴って、構成部材であるチップやPKG基板材料(コア基材、ビルドアップ材、ソルダーレジスト)の薄型化やPKG間の狭ギャップ化が進んでおり⁴⁾、これらを実現するために、図5に示すオーバーモールドタイプのPKG構造が近年提案されている⁵⁾。

このようなPKG構造の変化に伴って、PKG反りの増大、接続信頼性、耐落下衝撃性、耐リフロー性および放熱性の低下などの課題が挙げられる。そこで、PoPの下段に用いられるオーバーモールドタイプの薄型FBGAを対象に、PKG反り低減と耐リフロー性の向上を同時に図った事例を以下に紹介する。

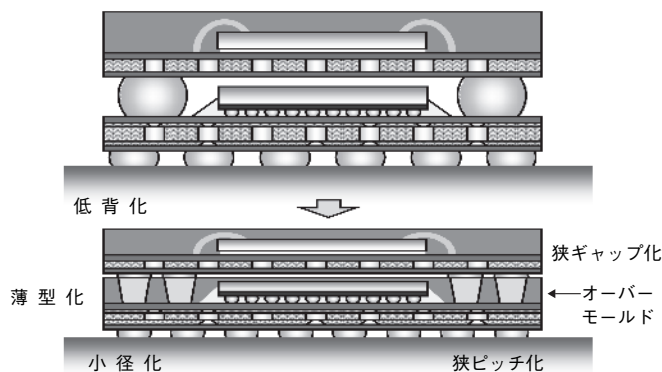


図5 3次元半導体パッケージの高密度化
Figure 5 High-density 3D semiconductor package

6.2 PKG反り低減と耐リフロー性向上の両立

FBGAは、基板上に複数のチップを実装し、一括封止した後、個片化することで得られる。図6には、一般的なPKG仕様で一括封止した後(最適化前)の外観を示す。この段階で大きな反りが発生しており、この状態では個片化した後のPKG反りだけでなく、搬送やはんだボール搭載にも大きな影響を及ぼす恐れがある。

そこで、体積占有率の高いコア基材と封止材に着目し、図7の解析モデルを用いて、PKG反りに及ぼす材料物性の影響を調べた。

まず、封止前のPKG反りに及ぼすコア基材物性の影響を解析した結果を図8に示す。PKG反りはコア基材の弾性率に比べて、熱膨張係数の影響を大きく受け、コア基材を低熱膨張化することでPKG反りを低減できることが分かる。

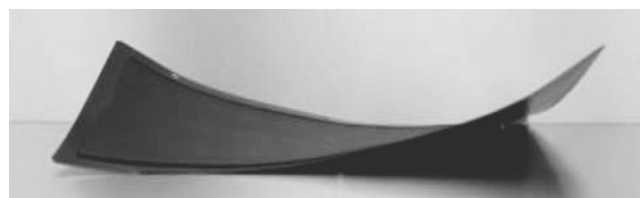


図6 一括封止後の薄型FBGAの例(最適化前)

パッケージサイズ 14×14×0.51 mm,

チップサイズ 8×8×0.12 mm

PKG基板厚み 270 μm, コア基材厚み 100 μm,

封止厚み 240 μm

Figure 6 Example of thin FBGA post-encapsulation (pre-optimization)

Package size: 14 × 14 × 0.51 mm, Chip size: 8 × 8 × 0.12 mm

Substrate thickness PKG: 270 μm,

Thickness of core substrate: 100 μm,

Thickness of encapsulation: 240 μm

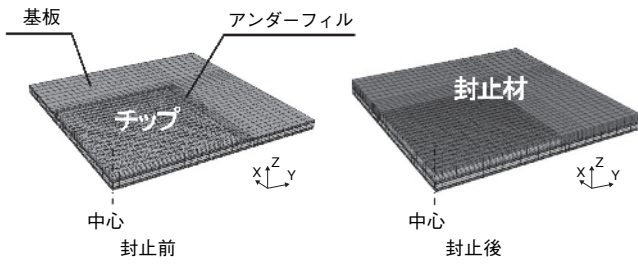


図7 パッケージ反り解析モデル
Figure 7 Package warpage analysis model

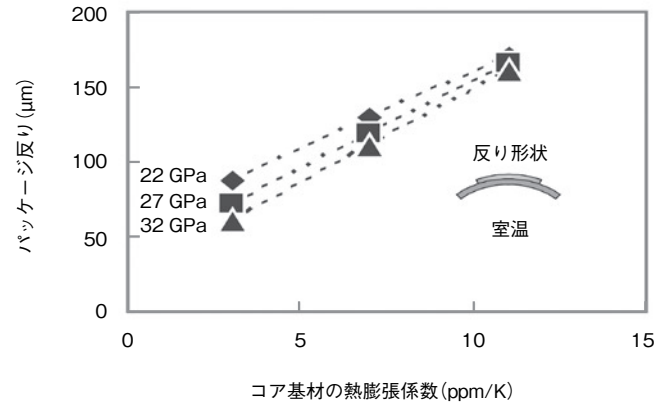


図8 パッケージ反りに及ぼすコア基材物性の影響
Figure 8 Influence of substrate material property on package warpage

次に、封止後のPKG反りに及ぼす封止材物性の影響を解析した。結果を図9に示す。封止後のPKG反りは封止材の弾性率に比べて熱膨張係数の影響を大きく受ける。しかしながら、コア基材と異なり、熱膨張係数の最適化が必要であることが分かる。例えば、図9においては10 ppm/K程度が最適値となる。

これら解析結果を検証するため、熱膨張係数の異なるコア基材と封止材を組み合わせる封止前後のPKG反りならびに耐リフロー性を評価した。結果を図10および表2に示す。解析結果と実測結果は良い一致を示し、熱膨張係数が小さいコア基材と、熱膨張係数を最適化した封止材を組み合わせる材料システムNo.4は、封止前後のPKG反りを抑制できた。図11に一括封止後の例(最適化後)を示す。最適化前の結果(図6)と比較して、反りを大幅に低減できていることが分かる。

また、高温耐リフロー性については、吸湿率が小さく、接着性に優れた封止材(No.3,4)を用いた場合、界面剥離の発生を抑制でき、耐リフロー性が向上することが分かった。

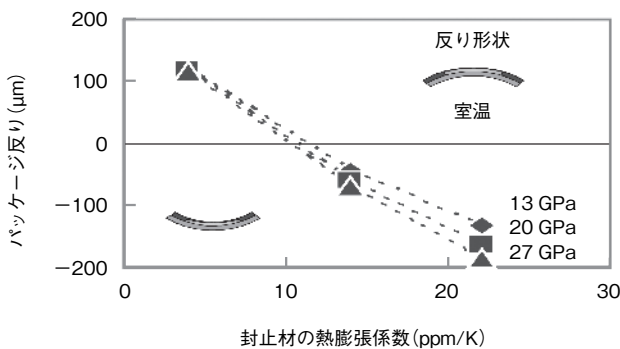


図9 パッケージ反りに及ぼす封止材物性の影響
Figure 9 Influence of encapsulation material property on package warpage

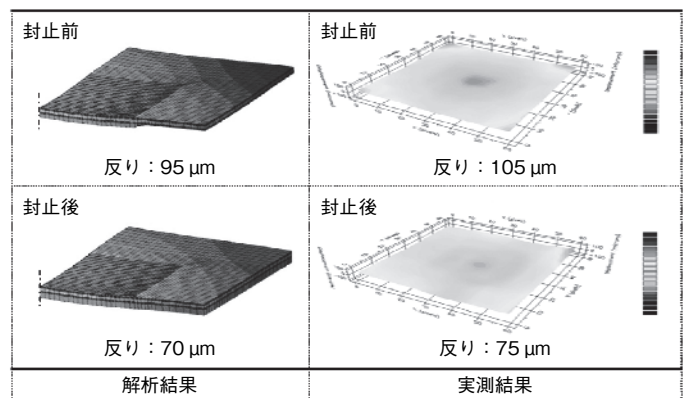


図10 パッケージ反りの解析結果と実測結果の比較
Figure 10 Comparison of package warpage analysis and experimental results

表2 パッケージ評価結果一覧

Table 2 Package evaluation result

材料システム		No. 1	No. 2	No. 3	No. 4
コア基材	熱膨張係数 (ppm/K)	9	3	3	3
	熱膨張係数 (ppm/K)	20	20	14	7
封止材	吸湿率* (%)	0.5	0.5	0.3	0.2
	チップとの 接着力* (MPa)	0.1	0.1	0.9	1.0
パッケージ反り (μm)	封止前	180	105	105	105
	封止後	85	135	120	75
耐リフロー性 (不良率)	吸湿レベル 3	0/6	0/6	0/6	0/6
	吸湿レベル 2	1/6	4/6	0/6	0/6
	吸湿レベル 1	6/6	6/6	0/6	0/6

*吸湿レベル 1

以上の結果から、低熱膨張コア基材と、高接着かつ熱膨張係数の最適化を図った封止材を組み合わせることで、封止前後のPKG反り低減と、耐リフロー性向上の両立化が可能となることが分かった。

上記コア基材、封止材以外の構成部材(ビルドアップ材、ソルダーレジスト、アンダーフィル材、バッファコート材)についても適宜解析を進め、PKG反りや信頼性の観点から、各構成部材のあるべき姿を検討している。

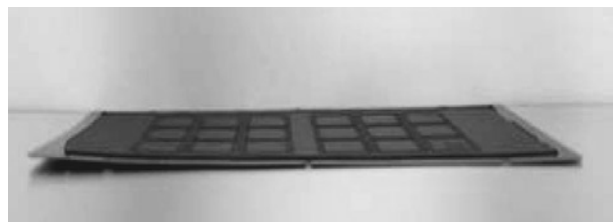


図11 一括封止後の薄型FBGAの例(最適化後)
Figure 11 Example of thin FBGA post-encapsulation (post-optimization)

7 PKG材料の改良技術の変遷とその限界を超える技術の進化

PKG基材の高Tg化および低CTE化としては、エポキシ樹脂自体の改良のほかに、基板材料への無機物充填量の増加などの手法が試され、その有効性が示されている⁶⁾。現行のエポキシ樹脂の場合、Tg以下のCTEは80 ppm/Kであり、これより小さいCTE値を有するサブミクロンサイズ(約500 nm)のシリカ粒子(CTE: 0.5 ppm/K)には、シランカップリング剤による処理が一般的に用いられている⁷⁾。さらなる低CTE化のためには、シリカ粒子の高密度充填も限界であるため、高次構造の樹脂を分子設計する技術が適用され、2.8 ppm/Kが実用化された。さらに、0 ppm/K以下のCTEの要求には、有機材料の分子設計とシリカ粒子の充填量の制御技術の解決が重要となっている。

3次元実装PKG技術は今後も拡大し、各種電子機器のさらなる高性能化に伴って、携帯情報端末など、さまざまな分野への拡大が予想される。さらに、MEMSや光実装技術と融合し、より幅広い分野でのシステムインテグレーションが加速される。実装技術は、これらを実現するキーテクノロジーであり、これを支える実装材料についても、多様化、複雑化への対応とともに高機能化を兼ね備えた設計・開発の重要性がさらに高くなる。

8 20年後を見据えた事業の将来像

今後も、エレクトロニクス技術は、電子機器、自動車、医療機器、ロボットなど幅広い産業のベース技術として拡大し、その用途や最終製品の形態も大きく変化することが予想される。本報では、50年間の材料技術の変遷を見たが、最終製品がTVからPC、スマートフォンでその製品は変化しても、配線板やPKG基板に使用される材料技術はマトリックス層となる樹脂技術をベースに進化してきた。今後、20年を考えてみても、材料の進化の基本は化学と考え、材料開発の発展には次のような技術の開発が必要と思う。

- 1) 分子設計に基づく合成技術
- 2) 分子単位の界面制御技術(ナノ粒子)
- 3) 有機材料、無機材料、金属材料の接合技術と異種材料のハイブリッド化
- 4) 信号送信技術の進化(電気、光の複合技術)
- 5) スーパーファイン感光性技術

これらに加えて、一連の実装材料のラインアップを持つ当社では、材料特性、構造設計、実装および信頼性評価と材料開発を同期化させたマテリアルシステムソリューション(MSS)(図12)をさらに高い段階に進め、高機能実装材料の創出による社会の発展に貢献をめざす所存である。



図12 半導体基板、実装用材料のMSS
Figure 12 MSS of package substrate and package materials

【参考文献】

- 1) 配線板製造委員会次世代配線板研究会, 次世代配線板の展望, エレクトロニクス実装学会誌, 12(2009)14-18
- 2) 正岡和隆, 中村吉宏, 池田謙一, 入野哲郎, 次世代半導体パッケージ用材料, 電子材料 1(2008)70-76
- 3) 竹越正明, 鈴木直也, 尾瀬昌久, 池内孝敏: “三次元半導体パッケージを支える材料システム”, エレクトロニクス実装学会誌, Vol.15, No.12,(2012)148
- 4) 中村吉宏, 菅野朋美, 竹越正明, 高根沢伸, 尾崎淳一: “PoPの実装信頼性を高める低熱膨張基材の検討”, 第16回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム
- 5) C.Zwenger, L.Smith: “Next Generation Package-on-Package (PoP) Platform with Through Mold Via (TMV™) Interconnection Technology”, Proceeding of the IMAPS Device Packaging Conference, March, 2009.
- 6) 伊藤直樹, 余田浩好, エポキシ系ナノコンポジット材料の熱的特性に及ぼすSiO₂ナノ粒子の影響, ネットワークポリマー, Vol.25 No.1(2004)28-33.
- 7) 高野希, 福田富男, 小野勝道, FT-IRを用いたシラン化合物の熱処理による化学構造変化, 高分子論文集 47(2000)743-750.