

半導体ウエハープロセス材料

Semiconductor Wafer Process Materials

野部 茂 *Shigeru Nobe* 篠田 隆 *Takashi Shinoda*
安西 創 *Soh Anzai* 松谷 寛 *Hiroshi Matsutani*
機能材料事業本部 電子材料事業部 ウエハープロセス材料開発部

スマートフォンやタブレットPC、ノートPCなどに代表される電子機器のさらなる小型化、高性能化のため、半導体デバイスの微細化、多層化、および新規材料の適用化検討が行われている。これに伴い半導体デバイス製造に必要な材料(ウエハープロセス材料)に要求される特性も増加、また多様化している。

当社では、これら要求に応えるべくウエハープロセス材料として、さまざまな被研磨膜に対応したCMP(Chemical Mechanical Polishing)スラリーの“HSシリーズ”、シリカ系層間絶縁膜の“HSG”、ストレスバッファ層やバンプ再配置に適用される低温硬化が可能な有機樹脂系感光性絶縁膜“AHシリーズ”などのウエハーコート材を開発、上市している。本報ではCMPスラリー、ウエハーコート材の技術動向、開発状況および今後の展開について報告する。

The shrinking design rules, increased number of layers, and application of new materials are the aspects characterizing progress in semiconductor devices, alongside the downsizing and multi-functionalization of electronic devices such as smartphones, tablet computers, notebook PCs, and so on. The required properties for semiconductor wafer process materials have been increased and diversified under these circumstances.

Hitachi Chemical has been developing and commercializing various kinds of CMP (Chemical Mechanical Polishing) slurries, “HS-series”, wafer coating materials such as spin-on silica film, “HSG”, and low temperature curable organic type photo definable dielectrics, “AH-series” applied for stress buffers and the redistribution of bumps. Technical trends, our product features and future works for CMP slurries and wafer coating materials are described in this report.

1 緒言

携帯電話や携帯情報端末などに代表される電子機器の小型化、高性能化が近年大きく進んでおり、これに伴い半導体LSIの集積度も増大し、平面内の微細化に加え、現在、Logic ICは10層以上に多層化されている。多層配線の実現には各層の平坦化が不可欠だが、SOG(Spin-on Glass、当社製品：HSG-R7)による局所平坦化からCMPによるグローバル平坦化(完全平坦化)の実用化により配線層の段差は飛躍的に改善された。現在、CMPの適用箇所は多岐に及ぶ¹⁾。シャロートレンチアイソレーション(STI)、p-Siプラグ作製、タングステンプラグ作製、層間絶縁膜平坦化、Cu配線形成(ダマシ)などとさまざまである。一方半導体パッケージにおいても、小型化、高密度化の観点から、ウエハーレベルパッケージ化が進んでいる²⁾。これによりウエハーコート材は、これまで主に適用された配線層間の層間絶縁膜、半導体パッケージのストレスバッファ層に加え、バンプ周りの保護膜、さらにはバンプの再配置が必要となる場合、再配線用の絶縁層としての適用箇所を広げている。以下にこれらCMPスラリー、ウエハーコート材の技術動向、開発状況および今後の展開について報告する。

2 CMPスラリー

2.1 STIスラリー

STI工程は、トランジスタ部と接する箇所を研磨するため、CMPプロセスの中でも欠陥の発生に最も敏感であり、図1に示すような研磨傷の抑制が特に重要である。図2に示すように、半導体デバイスの配線の微細化が進むと微細な研磨傷でもデバイスの動作に深刻な影響を及ぼすようになる。また、STIはデバイスの最下層であるため、この工程での段差の解消、いわゆる平坦化も低研磨傷化とともに重要な特性である。

STI工程のCMPプロセスには、シリカ(酸化ケイ素)砥粒を用いたスラリーが広く適用されてきたが、シリカスラリーでは研磨傷が多く、平坦性が不十分、研磨速度が遅い等の課題があった。そこで当社では、研磨傷が少なく、高研磨速度が得られる等の利点がある酸化セリウム(以下、セリア)粒子に着目し、低研磨傷、高SiO₂膜研磨速度を特徴とするサブミクロンのセリア粒子を用いたセリアスラリーHS-8005を開発、1999年に上市した。また、セリア粒子用に有機高分子を主成分とした添加剤

HS-8102GPを開発し、上市している。この添加剤は、被研磨膜へ吸着することで、凹凸のあるSiO₂膜を平坦に研磨でき、かつSTIL工程の研磨停止膜であるSiN膜が露出した時点で研磨停止できる特長を有する。

表1にHS-8005シリーズのラインナップを示す。研磨傷低減のために、粒径、粒度分布等を最適化した製品を取り揃えており、HS-8005-X3においては、研磨傷はHS-8005の1/10以下に低減している。当社では、セリア粒子の粒径、粒度分布等を精密に制御できる製造技術を確立して、安定した品質の製品を供給可能にしており、セリアスラリーにおいては世界トップシェアを誇る。また、今後のさらなる傷低減要求に応えるべく、次世代用として超微粒子品、NCシリーズを開発した。従来のセリア粒子は粉碎により微粒子化するのに対し、NCシリーズは粒子を液中で造粒させて粒径制御するため、砥粒起因による研磨傷を極限まで減少することができる。図3には、HS-NCとHS-8005の外観を示す。HS-NCは、ナノレベルの超微粒子であるため、透明なスラリーである。

添加剤に求められる機能としては、研磨停止膜(SiN,pSi)の研磨速度抑制、SiO₂膜の凹凸の平坦化が挙げられる。これらの機能を向上させるため、各種被研磨膜(SiO₂, SiN, pSi)への添加剤の吸着性を最適に制御すべく新たな有機高分子の設計を行い、新規の添加剤(HS-7000GPシリーズ)を開発した。7000GPシリーズは、特に、SiO₂膜への吸着性を制御することで、さらなる高平坦性を実現した。また、セリア粒子への吸着性も制御することで、粒子の凝集により発生する研磨傷も低減させた。当社は、さまざまな顧客の要求特性に合わせ、これらのセリアスラリーと添加剤との組み合わせを提案している。

最近では、シリカスラリーが主流となっているILD(Inter Layer Dielectric)やPMD(Pre Metal Dielectric)CMP工程へのセリアスラリーの適用も進んでいる。現在、これらの適用箇所求められる、より高速なSiO₂研磨速度を有するセリアスラリーの開発にも力を入れている。

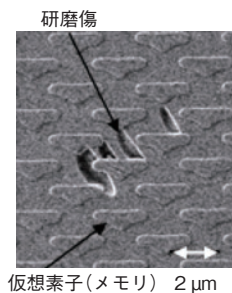


図1 STIテストパターンに発生した研磨傷
Figure 1 SEM image of scratch on STI test pattern wafer

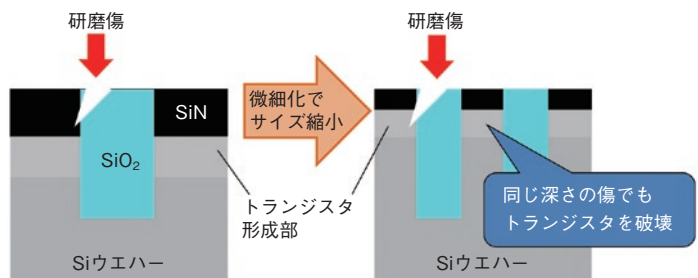


図2 デバイスの微細化に伴う、研磨傷のデバイスへ及ぼす影響
Figure 2 Influence of scratch to the fine design-rule device

表1 当社セリアスラリーの研磨特性(添加剤使用時)

Table 1 Polishing performance of ceria slurries with additive

スラリー	HS-8005	HS-8005-X	HS-8005-X2	HS-8005-X3	HS-NC
研磨速度[nm/min]					
SiO ₂ 膜	350	330	300	250	250
SiN膜	8	8	8	8	4
pSi膜	1	1	1	1	<1
平坦性*[nm]	<10	<10	<10	<10	<10
研磨傷[相対値]	100	40	20	<10	<1

* Active/Trench=100/100 μm部のDishing

研磨機：ロータリータイプ

研磨パッド：ポリウレタン系硬質パッド

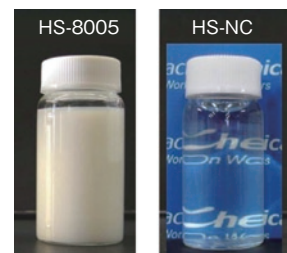


図3 HS-8005とHS-NCの外観
Figure 3 Appearance of HS-8005 and HS-NC

2.2 メタルスラリー

半導体デバイスの高速化を実現するために、最近では低抵抗のCu配線がAl配線に代わって用いられているが、その製造工程に不可欠なのがCu-CMPである。Cu-CMPにおいては、Cuを研磨除去する工程と下地バリアメタル(Ta/TaN)を除去する工程の2段階研磨で2種類のスラリーが用いられており、Cu研磨では高研磨速度、高平坦性、Cu：Taの高選択性が、バリアメタル研磨では低欠陥と高平坦性(Cu：Ta：SiO₂選択比の制御性)が要求されている。

表2に、当社が開発したCu用スラリーHS-H700とバリアメタル用スラリーHS-T915の研磨性能をまとめた。HS-H700によるCu研磨では、スラリー中の錯化剤の作用でCu表面に錯体層が形成され、この錯体層が研磨パッドとの摩擦で除去されることにより500 nm/min以上の速度で研磨が進行する。さらに50 nm以下の平坦性(ディッシング)を実現するために、この錯体層の研磨が凸部でのみ選択的に進行し、凹部では研磨パッドの摩擦が働かずに保護されるメカニズムとなっている。研磨速度と

平坦性はトレードオフの関係にあるため、これらを両立するための化学組成と研磨砥粒を選定することがキー技術である。また、1X-2X nm世代の先端デバイスにおいては、数nm程度のCu腐食(ボイド)や欠陥が配線の歩留りに影響を与えるため、量産工程における高いプロセス安定性も考慮されたスラリーが求められている。

一方、バリア金属研磨においては、CuとTa、SiO₂の3種類の材料を同時に研磨して平坦化する。TaとSiO₂はCuよりも機械的作用で研磨されやすいために砥粒の選定が重要な要素になるが、機械的強度を上げ過ぎるとスクラッチが発生する。微細なスクラッチであっても配線間の絶縁不良に影響を与えるため、軟質なコロイダルシリカ砥粒を低濃度で添加することで極限まで欠陥を低減した。また、最近是不溶性のCu錯体が研磨面に残留する課題が一般に指摘されており、当社では残留物が発生しにくく、かつ後洗浄で副生成物が除去されやすいスラリーを開発した。図4はHS-T915で研磨した後のウエハ上で欠陥検査を行った結果である。当社従来スラリーと比較しても大幅に欠陥数が削減されていることが分かる。

図5は、上述したCu用スラリーHS-H700とバリア金属用スラリーHS-T915を用いて研磨したパターンウエハの断面TEM写真である。2種類のスラリーで2段階研磨することで、高平坦・低欠陥なCu配線が得られた。最終的に100 μm幅の太幅配線パターンにおけるディッシングを10 nm以下、細密配線におけるエロージョンを数nm以下にしなければならないが(表2)、Cu-CMPで発生した段差はバリアCMPにおける研磨選択比の制御で回復させることができる。その際、研磨条件や酸化剤濃度の最適化によってCu:Ta:SiO₂の選択比を1:3:3程度に設定すると、最終仕上がりが最も平坦になる。ただし、デバイスにはロジックからメモリー、イメージセンサーのようにさまざまなパターンがあるため、顧客の要求特性に応じた調整が必要となる。

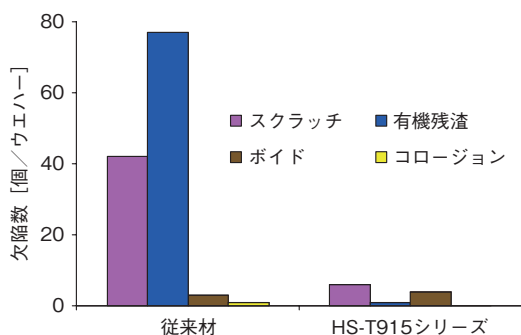


図4 バリア研磨後の欠陥分類と欠陥数
Figure 4 Defect classification and counts after barrier CMP

表2 メタルスラリーの研磨特性一覧
Table 2 Polishing property of metal slurry

メタルスラリー		HS-H700シリーズ	HS-T915シリーズ
研磨用途		Cuスラリー	バリアスラリー
研磨条件(圧力:kPa)		14.0	10.5
研磨速度 (nm/min)	Cu	850	27
	TaN	<1	95
	SiO ₂	—	90
	SiOC	—	31
平坦性 (nm)	100/100 μm ディッシング	<50	<10*
	9/1 μm エロージョン	<10	<5*
欠陥および腐食		良好	良好
Cu残り		なし	なし

*: Cu研磨にはHS-H700シリーズを使用
研磨機: ロータリータイプ
研磨パッド: ポリウレタン系硬質パッド

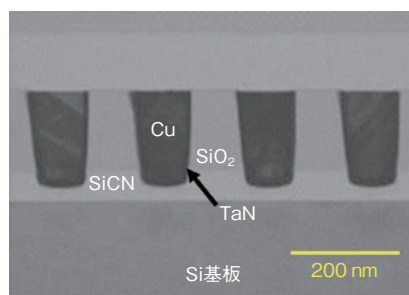


図5 研磨後のパターンウエハの断面写真
Figure 5 Cross section of patterned wafer after CMP

3 ウエハーコート材料

当社およびグループ会社では半導体用層間絶縁膜やウエハーコート材料として、ポリイミド樹脂やシロキサン樹脂に代表される塗布型絶縁材料を上市し、半導体デバイスに用いられてきた。近年、半導体パッケージの小型化・高速大容量化・高密度化の要求から、BGA (Ball Grid Alloy) やCSP (Chip Size/Scale Package) 等のエリアレイ型実装、およびTSV (Through Silicon Via) 等の2.5次元・3次元実装が注目されている²⁾。これらの実装形態では、チップ側のデザインと実装基板(モジュールボード)側のデザインを合わせるため、チップ上に再配線が施される。一例として、概略図を図6に示す。当社では、再配線絶縁層などの半導体絶縁材料用途として、感光性絶縁膜用塗布材料の研究開発を進め、AHシリーズとして上市した。

再配線絶縁層としては、加工工程の簡略化のための感光性、耐熱性、機械特

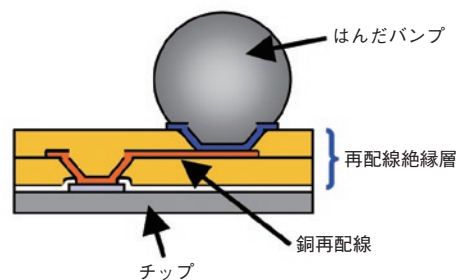


図6 再配線を有するパッケージの例
Figure 6 A semiconductor packaging bearing a redistribution layer

性、電気特性、耐薬品性、再配線との適合性など、さまざまな特性が求められる。さらに、高温処理によるデバイスの性能劣化を避ける目的に加え、耐熱性の低い材料を先行するプロセスで用いることがあるため、硬化温度の低温化が求められている³⁾。AHシリーズは、当社の保有する感光化技術、耐熱性材料、および樹脂合成・樹脂変性技術を活用し、先に述べたような多岐にわたる要求を満たす材料となっている。

一例として、AHシリーズの特性を表3に示す。本材料は、アルカリ水溶液(2.38% TMAH)で現像可能なポジ型感光性樹脂であり、実用的な感度を有している。また、ベースとなる樹脂と架橋剤の架橋反応温度を考慮し、化学種を適切に選択することで、硬化温度は180℃から200℃と従来のポリイミド樹脂よりも低い硬化温度を実現した。さらにベース樹脂に対する親和性を考慮した添加剤を組み合わせることで、ポリイミド樹脂と比べて遜色のない機械特性を実現した。硬化温度と弾性率の低さから残留応力が低いため、シリコン基板の反りが問題となるチップ積層型の実装用の絶縁層にも適用可能である。AHシリーズの硬化パターン断面の一例を図7に示す。ここでは矩形パターンの例を示したが、熱処理の条件を最適化することにより、なだらかな側面形状を有するパターンを形成することも可能である。そのため、貫通電極およびバンプを用いた接続などのさまざまな実装形態に対応することができる。そこで、AHシリーズを再配線絶縁層に用いたウエハーレベルCSPを試作し、信頼性を調べた。その結果、吸湿-リフロー耐性や冷熱サイクル耐性は十分であることを確認した⁴⁾。

このように、AHシリーズは、感光性を有し、200℃またはそれ以下という比較的低温で熱処理しても十分な物性と信頼性を有する。そのため、近年注目されている新しい実装形態に適用可能な絶縁材料である。

表3 AHシリーズの特性(測定値の一例)

Table 3 General properties of an AH-Series

項目	単位	AHシリーズ
膜厚	μm	2~20
最適露光量*	mJ/cm ²	400
硬化温度	℃	180~200
ガラス転移温度	℃	>200
弾性率	GPa	2.0
伸び率	%	50
熱膨張係数	10 ⁻⁶ /K	58
残留応力	MPa	20

*硬化後膜厚10 μm

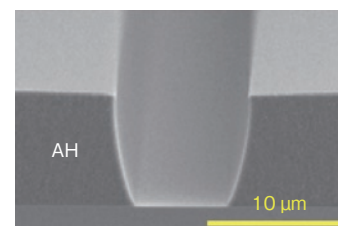


図7 AHシリーズの硬化パターン断の例
Figure 7 A cross section of a cured AH pattern

4 結 言

本報では、半導体ウエハープロセス材料として、STI用CMPスラリー、Cu配線用スラリー、およびウエハーコート材の技術動向、開発状況について述べた。

将来、エレクトロニクス分野はユビキタス化、クラウド化が進むと予想され、半導体デバイスは、微細化・高性能化・低消費電力化が進み、半導体パッケージは、小型化・高速大容量化・高密度化への流れが加速すると考える。この背景から次世代の半導体デバイスを製造するため、新規材料の適用について、さまざまな検討がなされている。例えば、STI工程では、TEOS、HDP-SiO₂に代わる埋め込み性のよい絶縁酸化膜、ILD工程では、より低誘電率な層間絶縁膜の適用化が進んでいる。またメタル工程では、微細溝へのCuの埋め込み性の観点からバリア膜をTa系金属からRu,Co等の金属への置き換えが、配線自身もCuに代えて、CNT(Carbon Nanotube)の適用化検討が進行している。TSV(Through Silicon Via)、PoP(Package on Package)などの3次元化技術の適用化検討も着々と進行中であり²⁾、さらには、半導体パッケージの多様化が同時に進み、MEMS⁵⁾やフレキシブルデバイス⁶⁾も成長すると考える。

上記の技術動向から、CMP工程の適用箇所も広がりを見せており、CMPスラリーに求められる特性は、さらなる「低欠陥」「高平坦性」はもちろんのこと、被研磨膜の材質変化に対応した新たなスラリーの開発が重要となる。ウエハーコート材料としては、絶縁特性、解像性、残留応力などの特性とともに信頼性のさらなる向上が重要となる。

半導体エレクトロニクスの進化は止まらない。的確に先端デバイスの技術動向を読み、これからも、必要とされるウエハープロセス材料を提案し続けていきたい。

【参考文献】

- 1) 精密工学会 CMP技術体系 2006, pp.423-444
- 2) 電子情報技術産業協会：2011年度版日本実装技術ロードマップ, pp.146-176.
- 3) 峯岸知典, 他：日立化成テクニカルレポート, 2009-1(No. 52), 13.
- 4) A. Tanimoto, S. Nobe, and H. Matsutani, Abstracts of 15th The Symposium on Polymers for Microelectronics, 2012, 12.
- 5) 電子情報技術産業協会：2011年度版日本実装技術ロードマップ, pp.183-192.
- 6) The International Technology Roadmap for Semiconductors, 2009 ed., Assembly and Packaging.